

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

The Delphi n Integrated View

Buy Now: [PDF](#) | [More choices...](#)

Tools: Add to Work File: [Create new](#)

View: [INPADOC](#) | Jump to: [Top](#)

Title: **JP1224997A2: SEMICONDUCTOR DEVICE**

Country: **JP Japan**

Kind: **A**

Inventor: **KOROGI YASUHIRO;**

Assignee: **MITSUBISHI ELECTRIC CORP**
[News, Profiles, Stocks and More about this company](#)

Published / Filed: **1989-09-07 / 1988-03-04**

Application
Number: **JP1988000052223**

IPC Code: **[G11C 17/00](#); [G11C 17/00](#);**

Priority Number: **1988-03-04 JP1988000052223**

Abstract:

PURPOSE: To shorten time for rewriting data by composing address space of a part covered with a transparent protecting film erasable by the irradiation of ultraviolet rays and another part covered with an opaque nonerasable protecting film.

CONSTITUTION: A semiconductor device 1 is equipped with floating gate type memory areas 4, which are respectively covered with a protecting film 2 opaque for ultraviolet rays and a protecting film 3 transparent for ultraviolet rays, at a B side and a B' side, and the data, which are not necessary to be rewritten once they are written, are written to the former address space, and the data, which are possible to be rewritten, are written to the latter address space. By composing the address space in this manner, since the memory area 4, to which the data unnecessary to be rewritten are written, is covered with the protecting film 2 opaque for ultraviolet rays, the data in the memory area 4 can be held even though data erasing is executed by the irradiation of ultraviolet rays when the data are necessary to be rewritten. Consequently, the time for rewriting the data can be shortened for the amount of the data unnecessary to be rewritten.

COPYRIGHT: (C)1989,JPO&Japio

Family: **None**

Other Abstract
Info: **None**

[this for the Gallery...](#)

[Nominate](#)

⑫ 公開特許公報(A) 平1-224997

⑬ Int. Cl.⁴

G 11 C 17/00

識別記号

3 2 0
3 0 7

庁内整理番号

A-7341-5B
D-7341-5B

⑭ 公開 平成1年(1989)9月7日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-52223

⑰ 出 願 昭63(1988)3月4日

⑱ 発 明 者 興 裕 泰 宏 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) ワード線とビット線の交点にフローティングゲート型記憶素子を配置して成る半導体装置において、

その表面に選択的に形成された、紫外線に対して不透明な保護膜と透明な保護膜とを備えたことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電氣的にデータを書き込み、紫外線照射することにより選択的にデータの消去が行なえるフローティングゲート型MOSメモリを有する半導体装置に関するものである。

(従来技術)

第2図は従来フローティングゲート型MOSメモリを有する半導体装置を示す図であり、1は半導体装置、3は紫外線に対し透明な半導体装置

1表面の保護膜、4はフローティングゲート型メモリ領域である。

第3図(a)はフローティングゲート型MOSメモリの簡略的な断面構造を示し、第3図(b)は上記フローティングゲート型MOSメモリのフローティングゲートに電子が注入された状態を示し、第3図(c)は上記フローティングゲート型MOSメモリに適当な波長の紫外線を照射することにより、フローティングゲートに注入されていた電子が周囲の酸化膜及び基板へ放出される様子を示す図である。図中、7はコントロールゲート、8はフローティングゲート、9はP型半導体基板、10及び11はP型半導体基板9上に形成されたN⁺拡散層であり、それぞれMOSトランジスタのドレイン、ソースを形成する。

第4図は、上記フローティングゲート型MOSメモリのフローティングゲート8中に電子が存在する場合と、紫外線を照射した後のフローティングゲート8中に電子が存在しない場合のトランジスタの閾値を示すグラフである。

次に動作について説明する。第3図(ハ)において、コントロールゲート7、ドレイン10にソース11に対して高電圧(通常10V程度)を印加することによって、ソース11、ドレイン10間に電流が流れ、アバランシェ降伏によりフローティングゲート8内に電子が注入される。第3図(ハ)はこのメカニズムによりフローティングゲート8内に電子が注入された状態を示す。このようにして蓄えられた電子は、半導体基板9表面に正孔を誘起するので、MOSトランジスタの閾値電圧 V_{TH} を高側に変化させ、その結果メモリ効果を生じさせる。又第3図(ハ)はフローティングゲート8内に電子が存在した状態に、外部より適当な波長(通常2537Å)の紫外線を照射することにより、蓄積された電子を励起させ、フローティングゲート8を取り囲んでいる酸化膜のエネルギー障壁を飛びこせるだけのエネルギーを与え、フローティングゲート8内の電子を放出させるメカニズムを示している。これにより、フローティングゲート8内の電子が蓄積されている場合にMOSメモリ下の

半導体基板9表面に誘起されていた正孔は消滅し、MOSトランジスタの閾値電圧 V_{TH} は低い側に変化する。

このメカニズムについてコントロールゲート7電圧とドレイン10、ソース11間を流れるドレイン電流との関係を利用して説明したグラフを、第4図に示す。ここで、 $V_{TH2} > V_{TH1}$ であるとする。同図において消去された状態(即ち、フローティングゲート8内に電子が蓄積されていない状態)では、コントロールゲート7電圧が V_{TH1} の時メモリトランジスタのゲート下にチャネルが形成され、ドレイン電流は流れ出す。即ち消去状態では、コントロールゲート7に V_{TH1} の電圧を印加するとメモリトランジスタはONする。又、書き込み状態(即ち、フローティングゲート8に電子が蓄積された状態)では、コントロールゲート7電圧が V_{TH1} ではメモリトランジスタはONせず、コントロールゲート7電圧が V_{TH2} の時にはじめてメモリトランジスタのゲート下にチャネルが形成され、ドレイン電流は流れ出す。即ち書

き込み状態では、コントロールゲート7に V_{TH2} の電圧を印加するとメモリトランジスタはONする。

以上のような操作により情報を記憶させることができるのがフローティングゲート型MOSメモリであり、このようなメモリを有する半導体装置1では、第2図のようにその表面は紫外線に対して透明な保護膜3によりおおわれている。このため、紫外線照射すると、一度書き込めばデータの消去を必要としないアドレス空間(たとえば0番地よりA番地まで)のデータまでも、書き換えの必要のある残りのアドレス空間(たとえばA+1番地よりX番地)のデータと共に消去される。すなわち、半導体装置1は、紫外線照射によりフローティングゲート型MOSメモリ4に蓄えられた情報が全て消去されるように構成されている。

(発明が解決しようとする課題)

従来のフローティングゲート型MOSメモリを有する半導体装置は以上のように構成されているので、使用初期に一度データをき込めば、以後

消去の必要のないアドレス空間のデータも、書き換えの必要のあるアドレス空間のデータを消去する際に消えてしまい、再書き込みの際あらためて書き換えの必要のないデータまでも書き換えの必要のあるデータと共に書き込まなければならず、書き込み時間の短縮が困難であるという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、書き換えの必要のないアドレス空間のデータは保持し、書き換えの必要なアドレス空間のデータのみが消去可能であり、再書き込みの時間を短縮することができる半導体装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体装置は、その表面の保護膜として、紫外線に対して透明な保護膜、不透明な保護膜を選択的に用いるようにしたものである。(作用)

この発明においては、装置表面の保護膜に紫外線に対して透明な保護膜、不透明な保護膜を選択

的に用いることにより、紫外線照射によるデータの消去において、透明な保護膜部分のアドレス空間ではデータを消去でき、不透明な保護膜部分のアドレス空間ではデータを保持することができる。
(実施例)

以下、この発明の一実施例を図について説明する。第1図(a)において、1はフローティングゲート型MOSメモリを有する半導体装置、2は紫外線に対し不透明な半導体装置1表面の保護膜、3は紫外線に対し透明な半導体装置1表面の保護膜、4はフローティングゲート型メモリ領域である。なお、フローティングゲート型メモリ領域4中B側の紫外線に対し不透明な保護膜におおわれている部分のアドレス空間は0番地よりA番地であり、B'側の紫外線に対し透明な保護膜におおわれている部分のアドレス空間はA+1番地よりX番地である。

第1図(b)は第1図(a)のB-B'間の簡単な断面図であり、B側は紫外線に対し不透明な保護膜2により半導体装置1表面をおおわれており、B'

側は、紫外線に対し透明な保護膜3によりおおわれている。5は層間絶縁膜であり紫外線に対し透明であり、6は回路内のA1などの金属配線である。7はメモリトランジスタのコントロールゲート、8はフローティングゲートであり、これらは通常多結晶シリコンで形成される。9はP型半導体基板である。

次に動作について説明する。半導体装置1は、B側とB'側にそれぞれ紫外線に対し不透明、透明な保護膜2、3によりおおわれたフローティングゲート型メモリ領域4を備えており、それぞれのアドレス空間は0番地よりA番地と、A+1番地よりX番地である。前者のアドレス空間には一度データを書き込めば書き換える必要のないデータ(通常システム起動用プログラム等)を書き込み、後者のアドレス空間には書き換える可能性があるデータ(たとえば測定用プログラムデータ等でありバージョンアップ等の可能性のあるもの)を書き込んでおく。

このように、データの書き換えの必要、不必要

によりアドレス空間を形成していると、データの書き換えの必要時に紫外線照射により消去を行なった場合でも、書き換えの必要のないデータを書き込んだメモリ領域4は紫外線に対し不透明な保護膜2によりおおわれているため、そのデータは保持される。従って、この書き換えの必要のないデータの分だけ、データの書き換え時間を短縮できる。

なお、上記実施例では、半導体装置1の表面保護膜は、データ消去の必要のない部分を紫外線に対し不透明な膜でおおひ、データ消去の必要な部分のみを紫外線に対し透明な膜でおおったようにしたが、データ消去の必要のない部分のみ紫外線に対し不透明な膜でおおっていれば、半導体装置1の表面全体に紫外線に対し透明な膜を用いてもよく、上記実施例と同様の効果を奏する。

(発明の効果)

以上のように、この発明に係る半導体装置によれば、アドレス空間を、紫外線照射により消去可能な透明な保護膜でおおう部分と、不可能な不

透明な保護膜でおおう部分とで構成したので、データの書き換えの必要のないアドレス空間のデータを保持することができ、データの書き換えが必要なアドレス空間のデータのみを消去することができ、データの書き換え時間の短縮を図ることができる効果がある。

4. 図面の簡単な説明

第1図(a)はこの発明の一実施例によるフローティングゲート型MOSメモリを有する半導体装置を示す平面図、第1図(b)は第1図(a)のB-B'間の断面図、第2図は従来のフローティングゲート型MOSメモリを有する半導体装置を示す平面図、第3図はフローティングゲート型MOSメモリの書き込み、消去のメカニズムを説明するための断面図、第4図はフローティングゲート型MOSメモリの閾値電圧の変化を示す図である。

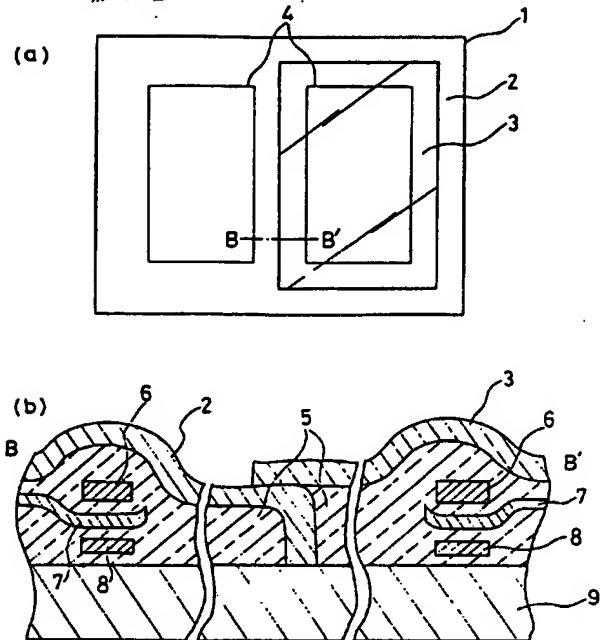
1は半導体装置、2は紫外線不透明保護膜、3は紫外線透明保護膜、4はフローティングゲート型メモリ領域。

なお、図中、同一符号は同一、又は相当部分を

示す。

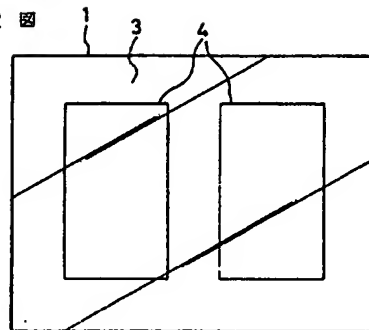
代理人 早 瀬 憲 一

第 1 図

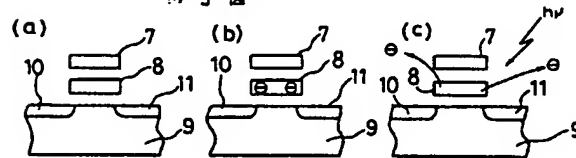


- | | |
|--------------|-------------|
| 1: 半導体基盤 | 6: 全周配線 |
| 2: UV不透明保護膜 | 7: フォトリソレート |
| 3: UV透明保護膜 | 8: フロートゲート |
| 4: フロートゲート電極 | 9: 半導体基盤 |
| 5: 絶縁膜 | |

第 2 図



第 3 図



第 4 図

